

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-171371

(43)Date of publication of application :30.06.1997

(51)Int.Cl.

G09G 3/36
G02F 1/133

(21)Application number : 07-330230

(71)Applicant : HITACHI LTD

(22)Date of filing : 19.12.1995

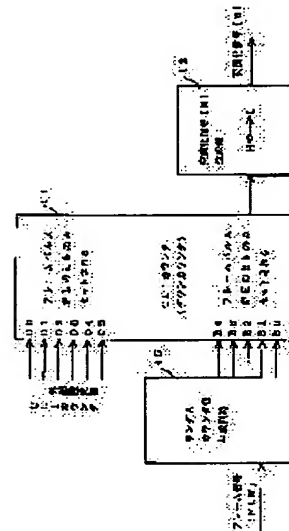
(72)Inventor : ANABUKI MOMOKO
CHIBA SHINSAKU

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the occurrence of flickering on the display screen of liquid crystal display panel and to improve the display quality by inverting the voltage level of the alternating signals at difference time intervals whenever a frame signal is inputted.

SOLUTION: When a frame signal (FLM) is inputted, a random count value setting circuit 15 generates a five bit random count value and the random value is set in a clock (CL1) counter 11. The counter 11 counts down the random count value in synchronism with the clock (CL1). When the count down is completed, the voltage level of an alternating signal (M) is inverted by an alternating signal generating section 12. Thus, in the alternating signal generating circuit, the voltage level of the signal (M) is inverted at random intervals after the signal (FLM) is inputted. After that, the voltage level of the signal (M) is inverted at a constant interval set from the outside.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-171371

(43) 公開日 平成9年(1997)6月30日

(51) Int. Cl. ⁶

G09G 3/36

G02F 1/133

識別記号

庁内整理番号

545

F I

G09G 3/36

G02F 1/133

技術表示箇所

545

審査請求 未請求 請求項の数 5 ○ L (全20頁)

(21) 出願番号 特願平7-330230

(22) 出願日 平成7年(1995)12月19日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 穴吹 桃子

千葉県茂原市早野3300番地 株式会社日立

製作所電子デバイス事業部内

(72) 発明者 千葉 眞作

千葉県茂原市早野3300番地 株式会社日立

製作所電子デバイス事業部内

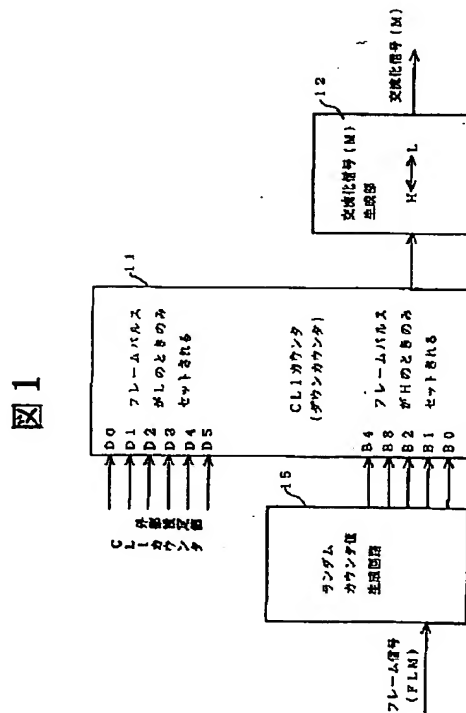
(74) 代理人 弁理士 秋田 収喜

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 表示制御装置のデューティ数に関係なく交流化信号の周期を設定可能とし、それにより、液晶表示パネルの表示画面にちらつきが発生するのを防止して、表示品質を向上させた液晶表示装置を提供する。

【解決手段】 マトリクス状に設けられた複数の画素を有する液晶表示パネルと、複数の画素に画素駆動電圧を印加する画素駆動手段と、画素駆動手段を制御する表示制御装置とを具備し、表示制御装置が、一定時間間隔で電圧レベルが反転する交流化信号を生成する交流化信号生成手段を有し、交流化信号のハイレベルあるいはロウレベルに基づいて、画素駆動手段から複数の画素に印加する画素駆動電圧値を変化させて、画素に印加される電圧の極性を反転させる液晶表示装置において、交流化信号生成手段が、各フレーム信号が入力される毎に異なる時間間隔で、交流化信号の電圧レベルを反転させるレベル反転手段を有する。



【特許請求の範囲】

【請求項 1】マトリクス状に設けられた複数の画素を有する液晶表示パネルと、前記複数の画素に画素駆動電圧を印加する画素駆動手段と、前記画素駆動手段を制御する表示制御装置とを具備する液晶表示装置であって、前記表示制御装置が、一定時間間隔で電圧レベルが反転する交流化信号を生成する交流化信号生成手段を有し、前記交流化信号のハイレベルあるいはロウレベルに応じて、前記画素駆動手段から前記複数の画素に印加する画素駆動電圧値を変化させて、画素に印加される電圧の極性を反転させる液晶表示装置において、前記交流化信号生成手段が、各フレーム信号が入力される毎に異なる時間間隔で、交流化信号の電圧レベルを反転させるレベル反転手段を有することを特徴とする液晶表示装置。

【請求項 2】前記レベル反転手段が、各フレーム信号が入力される毎にランダムな時間間隔で、交流化信号の電圧レベルを反転させることを特徴とする請求項 1 に記載された液晶表示装置。

【請求項 3】前記交流化信号生成手段が、前記画素駆動手段を制御駆動するクロックを所定数カウントして、その電圧レベルを反転させる第 1 のカウンタ手段を有し、前記レベル反転手段が、フレーム信号をカウントする第 2 のカウンタと、各フレーム信号が入力される毎に第 2 のカウンタのカウント値の桁を入れ替えて、第 1 のカウンタ手段にセットする手段とを有することを特徴とする請求項 2 に記載された液晶表示装置。

【請求項 4】前記第 2 のカウンタのカウント値を逆転させて、第 1 のカウンタ手段にセットすることを特徴とする請求項 3 に記載された液晶表示装置。

【請求項 5】前記第 2 のカウンタのカウント値を逆転させ、さらに、その中の 2 つの桁を入れ替えて、第 1 のカウンタ手段にセットすることを特徴とする請求項 3 に記載された液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置に関し、特に、単純マトリクス型液晶表示装置における交流化信号生成回路に適用して有効な技術に関する。

【0002】

【従来の技術】STN (Super Twisted Nematic) 方式の単純マトリクス型液晶表示装置は、ノート型パソコン等の表示デバイスとして広く用いられている。

【0003】図 1 2 は、従来の STN 方式の単純マトリクス型液晶表示装置の概略構成を示すブロック図であり、101 は表示制御装置、102 は電源回路、LCD は液晶表示パネル、IC-U1、IC-U2、IC-U3、IC-Un は上側のドレインドライバ (データ信号線駆動回路)、IC-L1、IC-L2、IC-L3、IC-Ln は下側のドレインドライバ (データ信号線駆

動回路)、IC-C1、IC-C2、IC-C3、IC-C4、IC-C5 はコモンドライバ (走査信号線駆動回路) である。

【0004】図 1 2 において、液晶パネル制御装置 101 は、上位コンピュータ側等から転送される表示制御信号および表示用データに基づき、各セグメントドライバ (IC-U1 ~ IC-Un, IC-L1 ~ IC-Ln) および各コモンドライバ (IC-C1 ~ IC-Cn) を制御する。

10 【0005】電源回路 102 は、それぞれ異なる V1 ないし V6 の電圧を生成し、V1、V2、V3、V4 の電圧を各セグメントドライバ (IC-U1 ~ IC-Ln) に供給し、V1、V2、V5、V6 の電圧を各コモンドライバ (IC-C1 ~ IC-Cn) に供給する。

20 【0006】液晶表示パネル (LCD) は、液晶を介して互に対向配置された一対のガラス基板を備え、一方のガラス基板の液晶側の面には、X 方向に延在し、かつ、Y 方向に並設される m 本のコモン電極 (走査信号線) が形成され、この m 本のコモン電極のそれぞれは、対応する各コモンドライバ (IC-C1 ~ IC-Cn) に接続される。

【0007】また、他方のガラス基板の液晶側の面には、Y 方向に延在し、かつ、X 方向に並設される n 本のセグメント電極 (データ信号線) が形成され、さらに、この n 本のセグメント電極は上下 2 つに分割され、この 2 分割された n 本のセグメント電極のそれぞれは、上側の対応する各セグメントドライバ (IC-U1 ~ IC-Un)、あるいは、下側の対応する各セグメントドライバ (IC-L1 ~ IC-Ln) に接続される。

30 【0008】前記複数のセグメント電極と複数のコモン電極との交差部が画素領域を構成し、上側の各セグメントドライバ (IC-U1 ~ IC-Un)、下側の各セグメントドライバ (IC-L1 ~ IC-Ln) および各コモンドライバ (IC-C1 ~ IC-Cn) から、前記複数のセグメント電極にデータ信号線駆動電圧、および、前記複数のコモン電極に走査信号線駆動電圧を印加して、前記画素を駆動する。

40 【0009】また、単純マトリクス型液晶表示装置においては、液晶に直流電圧が印加されないように、前記複数のセグメント電極と前記複数のコモン電極とに印加する各駆動電圧を所定の周期で反転させる、いわゆる交流化駆動方法が採用される。

【0010】図 1 3 は、図 1 2 に示す従来の STN 方式の単純マトリクス型液晶表示装置のセグメント電極に印加されるデータ信号線駆動電圧、および、コモン電極に印加される走査信号線駆動電圧を説明するための図である。

50 【0011】図 1 3 に示すように、例えば、交流化信号 (M) が High レベルの場合に、表示データ「1」の各セグメント電極には、電源回路 102 から供給される

V2の駆動電圧が、表示データ「0」の各セグメント電極には、電源回路102から供給されるV4の駆動電圧が印加され、また、交流化信号(M)がLowレベルの場合に、表示データ「1」の各セグメント電極には、電源回路102から供給されるV1の駆動電圧が、表示データ「0」の各セグメント電極には、電源回路102から供給されるV3の駆動電圧が印加される。

【0012】同じく、交流化信号(M)がHighレベルの場合に、選択されたコモン電極には、電源回路102から供給されるV1の駆動電圧が、非選択のコモン電極には、電源回路102から供給されるV5の駆動電圧が印加され、また、交流化信号(M)がLowレベルのときには、選択されたコモン電極には電源回路102から供給されるV2の駆動電圧が印加され、非選択のコモン電極には、電源回路102から供給されるV6の駆動電圧が印加される。

【0013】図14は、表示制御装置101から、各セグメントドライバ(IC-U1~IC-Un, IC-L1~IC-Ln)、および、各コモンドライバ(IC-C1~IC-Cn)に送出される表示用データ(Din)、および、表示制御信号(クロック(CL1, CL2), フレーム信号(FLM), 交流化信号(M))のタイミングチャートを示す図である。

【0014】各セグメントドライバ(IC-U1~IC-Un, IC-L1~IC-Ln)は、表示制御装置101から入力される表示データラッチ用クロック(CL2)により、表示データ(Din)を内部ロジック回路に取り込み、出力タイミング制御用クロック(CL1)により、各セグメント電極毎の1水平分の表示データ

(Din)が「1」の各セグメント電極には、交流化信号(M)に基づき電源回路102から供給されるV1またはV2の駆動電圧を、また、各セグメント電極毎の1水平分の表示データ(Din)が「0」の各セグメント電極には、交流化信号(M)に基づき電源回路102から供給されるV4またはV3の駆動電圧を液晶駆動電圧出力回路からセグメント電極に出力する。

【0015】この場合に、各セグメントドライバ(IC-U1~IC-Un, IC-L1~IC-Ln)は、キャリア信号を出力し、前段のキャリア信号は、そのまま次段のドレインドライバのキャリア入力に輸入され、このキャリア信号により各セグメントドライバの表示データの取り込み動作が制御され、誤った表示データがセグメントドライバに取り込まれるのを防止している。

【0016】なお、各セグメントドライバ(IC-U1~IC-Un, IC-L1~IC-Ln)に、表示制御装置101から入力される表示制御信号としては、前記したクロック(CL1, CL2)および交流化信号

(M)以外の表示制御信号も入力されるが、図12においては省略している。

【0017】各コモンドライバ(IC-C1~IC-C

n)は、表示制御装置101から入力されるフレーム信号(FLM)、および、クロック(CL1)により、1水平走査時間毎に駆動されるコモン電極を内部ロジック回路で選択し、当該選択されたコモン電極に対して、交流化信号(M)に基づき電源回路102から供給されるV1またはV2の電圧を、液晶駆動電圧出力回路からコモン電極に出力し、また、前記選択されたコモン電極以外のコモン電極に対しては、交流化信号(M)に基づき電源回路102から供給されるV5の電圧またはV6の電圧を、液晶駆動電圧出力回路からコモン電極に出力する。

【0018】なお、各コモンドライバ(IC-C1~IC-Cn)に、表示制御装置101から入力される表示制御信号としては、前記したクロック(CL1)、交流化信号(M)およびフレーム信号(FLM)以外の表示制御信号も入力されるが、図12においては省略している。

【0019】

【発明が解決しようとする課題】図12に示す従来の液晶表示装置では、交流化信号(M)の電圧レベルが反転する時に、液晶表示パネル(LCD)の表示画面に表示むら、例えば、コモン電極に沿って明るく発光する白すじ、あるいは、コモン電極に沿って暗くなる黒すじが発生する場合があった。

【0020】この現象が発生する理由としては、交流化信号(M)の電圧レベルが反転する時に、コモン電極に印加される走査信号線駆動電圧の電圧レベルが大きく変動し、それに伴い、液晶表示パネルの液晶容量が充放電されることになるが、液晶容量は、電源回路の等価内部抵抗と液晶容量とで構成される時定数回路を介して指数関数的に充放電されるので、コモン電極に印加される走査信号線駆動電圧の電圧波形が歪んでしまい、交流化信号(M)の電圧レベルが反転する時点におけるコモン電極の実効電圧値が他のコモン電極における電圧実効値と異なってしまうことが原因と考えられる。

【0021】また、図12に示す従来の液晶表示装置において、フレーム信号(FLM)の1周期内のクロック(CL1)数は、VGA方式の場合は $(240 + \alpha)$ 、SVGA方式の場合は $(300 + \alpha)$ である。

【0022】ここで、 α は表示制御装置101の設定により異なっており、また、以下、フレーム信号(FLM)の1周期内のクロック(CL1)数をデューティ数と称する。

【0023】図14には、VGA方式の場合におけるクロック(CL1)と、フレーム信号(FLM)との関係を示しており、フレーム信号(FLM)の1周期は、クロック(CL1)の周期をTとすると、 $(240 + \alpha) \times T$ となる。

【0024】また、図12に示す従来の液晶表示装置では、交流化信号(M)は、表示制御装置101内のカウ

10

20

30

40

50

ンタでクロック (CL1) をカウントして生成しており、所定のクロック (CL1) 数で電圧レベルが反転するようにになっていた。

【0025】即ち、交流化信号 (M) は、フレーム信号 (FLM) と無関係に独立して動作するようになっていた。

【0026】図14に、フレーム信号 (FLM) と無関係に独立して動作する交流化信号 (M) の一例として、クロック (CL1) を13カウントする毎に、その電圧レベルが反転する交流化信号 (M) を示している。

【0027】図15は、デューティ数が240、交流化信号 (M) の電圧レベルが反転するクロック (CL1) のカウント数が13である時の、各フレーム毎の、交流化信号 (M) の電圧レベルが反転するタイミングを説明するための図である。

【0028】交流化信号 (M) は、フレーム信号 (FLM) と無関係に独立して動作するため、図15に示すように、フレーム信号 (FLM) の周期を、交流化信号 (M) で割った残りは、次のフレーム周期の先頭に割り当てられるようになるので、各フレーム周期毎に、交流化信号 (M) の電圧レベルが反転するタイミングが移動することになる。

【0029】したがって、交流化信号 (M) の電圧レベルが反転する時に、液晶表示パネル (LCD) の表示面に発生する表示むらも、各フレーム毎に移動することになる。

【0030】この場合に、表示制御装置101のデューティ数と、交流化信号 (M) の周期との組み合わせによっては、交流化信号 (M) の電圧レベルが反転する時に、液晶表示パネル (LCD) の表示面に発生する表示むらが、上または下に流れるちらつきとなって、液晶表示パネル (LCD) の表示品質を著しく損なってしまうという問題点があった。

【0031】このため、従来の液晶表示装置においては、表示制御装置101のデューティ数に合わせて、交流化信号 (M) の周期を設定し、各フレーム周期における交流化信号 (M) のタイミングが、各フレーム周期毎にだんだんと移動しないようにして、前記ちらつきが、人間の目に認識できないようにしていた。

【0032】しかしながら、表示制御装置101のデューティ数は、各表示制御装置101毎に異なっているので、各表示制御装置101毎に、デューティ数に合わせて、最適な交流化信号 (M) の周期を設定する必要があった。

【0033】そして、各表示制御装置101のデューティ数に合わせて、最適な交流化信号 (M) の周期を設定するためには、実際に液晶表示パネル (LCD) を駆動させて、交流化信号 (M) の周期を設定する必要があり、その設定に、多大な労力と時間が必要になるという問題点があった。

【0034】本発明は、前記従来技術の問題点を解決するためになされたものであって、本発明の目的は、液晶表示装置において、表示制御装置のデューティ数に関係なく交流化信号の周期を設定可能とし、それにより、液晶表示パネルの表示画面にちらつきが発生するのを防止して、表示品質を向上させることが可能となる技術を提供することにある。

【0035】本発明の前記目的並びにその他の目的及び新規な特徴は、本明細書の記載及び添付図面によって明らかとする。

【0036】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0037】(1) マトリクス状に設けられた複数の画素を有する液晶表示パネルと、前記複数の画素に画素駆動電圧を印加する画素駆動手段と、前記画素駆動手段を制御する表示制御装置とを具備する液晶表示装置であって、前記表示制御装置が、一定時間間隔で電圧レベルが反転する交流化信号を生成する交流化信号生成手段を有し、前記交流化信号のハイレベルあるいはロウレベルに応じて、前記画素駆動手段から前記複数の画素に印加する画素駆動電圧値を変化させて、画素に印加される電圧の極性を反転させる液晶表示装置において、前記交流化信号生成手段が、各フレーム信号が入力される毎に異なる時間間隔で、交流化信号の電圧レベルを反転させるレベル反転手段を有することを特徴とする。

【0038】(2) 前記(1)の手段において、前記レベル反転手段が、各フレーム信号が入力される毎にランダムな時間間隔で、交流化信号の電圧レベルを反転させることを特徴とする。

【0039】(3) 前記(2)の手段において、前記交流化信号生成手段が、前記画素駆動手段を制御駆動するクロックを所定数カウントして、その電圧レベルを反転させる第1のカウント手段を有し、前記レベル反転手段が、フレーム信号をカウントする第2のカウントと、各フレーム信号が入力される毎に第2のカウントのカウント値の桁を入れ替えて、第1のカウント手段にセットする手段とを有することを特徴とする。

【0040】(4) 前記(3)の手段において、前記第2のカウントのカウント値を逆転させて、第1のカウント手段にセットすることを特徴とする。

【0041】(5) 前記(3)の手段において、前記第2のカウントのカウント値を逆転させ、さらに、その中の2つの桁を入れ替えて、第1のカウント手段にセットすることを特徴とする。

【0042】前記(1)の手段によれば、液晶表示装置において、一定の時間間隔で電圧レベルが反転する交流化信号の電圧レベルを、各フレーム信号が入力される毎に異なる時間間隔で反転させるようにしたので、交流化

信号の電圧レベルが反転するタイミングを各フレーム周期毎に異ならせることが可能となる。

【0043】前記(2)の手段によれば、交流化信号の電圧レベルを、各フレーム信号が入力される毎にランダムな時間間隔で反転させるようにしたので、交流化信号の電圧レベルが反転するタイミングを各フレーム周期毎にランダムにすることが可能となる。

【0044】前記(3)ないし(5)の手段によれば、各フレーム信号が入力される毎に、フレーム信号をカウントする第2のカウンタのカウント値の桁を入れ替えて、クロックを所定数カウントしてその電圧レベルを反転させる第1のカウンタ手段にセットして、交流化信号の電圧レベルを、各フレーム信号が入力される毎にほぼランダムな時間間隔で反転させるようにしたので、交流化信号の電圧レベルが反転するタイミングを各フレーム周期毎にランダムにすることが可能となる。

【0045】これにより、液晶表示パネルの表示面にちらつきが発生することがなくなる。

【0046】

【発明の実施の形態】以下、本発明をSTN方式の単純マトリックス型液晶表示装置に適用した発明の実施の形態を図面を参照して詳細に説明する。

【0047】なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0048】本発明の実施の形態のSTN方式の単純マトリックス型液晶表示装置は、交流化信号生成回路以外は、図12に示す従来のSTN方式の単純マトリックス型液晶表示装置と同じであるので、その詳細な説明は省略する。

【0049】図1は、本発明の実施の形態のSTN方式の単純マトリックス型液晶表示装置における交流化信号生成回路の概略構成を示すブロック図である。

【0050】図1において、15はランダムカウント値生成回路、11はクロック(CL1)カウンタ、12は交流化信号生成部であり、クロック(CL1)カウンタ11は6ビットのダウンカウンタである。

【0051】なお、図1に示す交流化信号生成回路は、図12に示す表示制御装置101内に設けられる。

【0052】図1に示すクロック(CL1)カウンタ11は、通常、外部から設定される外部カウント値を、クロック(CL1)に同期してカウントダウンし、カウントダウンが終了したときに、交流化信号生成部12で交流化信号(M)の電圧レベルを反転させる。

【0053】また、各フレーム信号(FLM)が入力された時には、ランダムカウント値設定回路15で5ビットのランダムなカウント値を生成し、当該ランダムカウント値をクロック(CL1)カウンタ11に設定し、クロック(CL1)カウンタ11で、当該ランダムなカウント値を、クロック(CL1)に同期してカウントダウ

ンし、カウントダウンが終了したときに、交流化信号生成部12で交流化信号(M)の電圧レベルを反転させる。

【0054】ここで、ランダムカウント値生成回路15が、本発明のレベル反転手段を構成する。

【0055】このように、図1に示す交流化信号発生回路では、各フレーム信号(FLM)が入力された後に、ランダムな間隔で交流化信号(M)の電圧レベルを反転させ、その後は外部から設定される一定の間隔で交流化信号(M)の電圧レベルを反転させるようにしたものである。

【0056】したがって、本発明の実施の形態では、従来のように、交流化信号(M)の電圧レベルが反転するタイミングが各フレーム周期毎にだんだんと移動することがなくなる。

【0057】これにより、表示むらが人間の目では認識できなくなるので、表示パネルの表示面にちらつきが発生することがなくなる。

【0058】図2は、図1に示すランダムカウント値生成回路15を、フレームパルスカウンタで構成した交流化信号生成回路の概略構成を示すブロック図である。

【0059】図2において、10はフレームパルスカウンタであり、フレームパルスカウンタ10は5ビットのアップカウンタである。

【0060】図2に示す交流化信号発生回路では、フレーム信号(FLM)が入力されたときに、フレームパルスカウンタ10でのカウント値を+1し、次に、ランダムな間隔を設定するために、フレームパルスカウンタ10のカウント値の桁を入れ替え、その入れ替えたカウント値をクロック(CL1)カウンタ11にセットし、クロック(CL1)カウンタ11でのカウントダウンが終了した場合に、交流化信号生成部12で交流化信号(M)の電圧レベルを反転させる。

【0061】図3は、図2に示す交流化信号生成回路の動作を説明するためのフローチャートである。

【0062】図3を用いて、図2に示す交流化信号生成回路の動作を説明する。

【0063】図2に示す交流化信号生成回路は、DISPOFF信号が「Hレベル」の場合に動作し、フレーム信号(FLM)が入力されると、フレームパルスカウンタ10のカウント値を+1する(ステップ21)。

【0064】次に、フレームパルスカウンタ10のカウント値の桁を入れ替え、その入れ替えたカウント値をクロック(CL1)カウンタ11にセットし(ステップ22)、クロック(CL1)カウンタ11でクロック(CL1)に同期してカウント値をカウントダウンする(ステップ23)。

【0065】次に、次のフレーム信号(FLM)が入力されたか否かを判断し(ステップ24)、ステップ24で、次のフレーム信号(FLM)が入力された場合に

は、前記ステップ 21 ないしステップ 23 を繰り返す。
 【0066】また、ステップ 24 で、次のフレーム信号 (FLM) が入力されない場合には、クロック (CL1) カウンタ 11 でのカウントダウンが終了したか否かを判断する (ステップ 25)。

【0067】ステップ 25 で、クロック (CL1) カウンタ 11 でのカウントダウンが終了していない場合には、前記ステップ 23 ないしステップ 24 を繰り返す。

【0068】ステップ 25 で、クロック (CL1) カウンタ 11 でのカウントダウンが終了した場合には、交流

化信号生成部 12 で交流化信号 (M) の電圧レベルを反転する (ステップ 26)。

【0069】次に、クロック (CL1) カウンタ 11 に外部カウント値をセットし (ステップ 27)、前記ステップ 23 ないしステップ 27 を繰り返す。

【0070】図 4 は、図 2 に示す交流化信号生成回路において、フレームパルスカウンタ 10 のカウント値の桁を入れ替え、その入れ替えたカウント値をクロック (CL1) カウンタ 11 にセットすることにより、ランダムな間隔が設定できることを説明するための図である。

【0071】図 4 (a) は、フレームパルスカウンタ 10 の (A0, A1, A2, A3, A4) からなる 5 ビットのカウント値を示し、図 4 (b) は、図 4 (a) に示すフレームパルスカウンタ 10 のカウント値を逆転させて、即ち、A0 ビットを B4 ビットに、A1 ビットを B3 ビットに、A2 ビットを B2 ビットに、A3 ビットを B1 ビットに、A4 ビットを B0 ビットに入れ替えたフレームパルスカウンタ 10 のカウント値を示している。

【0072】図 4 (a) および図 4 (b) の 10 進数表示の欄から明らかなように、0 から 31 まで +1 ずつ

カウントアップされるフレームパルスカウンタ 10 のカウント値は、フレームパルスカウンタ 10 のカウント値の桁を、図 4 (b) に示す方法で入れ替えることにより、ランダムなカウント値に変更される。

【0073】図 5 は、図 4 (b) に示す方法でランダムなカウント値を生成した場合における、図 2 に示す交流化信号発生回路から生成される交流化信号 (M) の各フレーム毎の電圧レベルが反転するタイミングを説明するための図である。

【0074】なお、図 5 は、デューティ数が 240、交流化信号 (M) の電圧レベルが反転するクロック (CL1) のカウント数が 13 である時の、各フレーム毎の、交流化信号 (M) の電圧レベルが反転するタイミングを説明するための図である。

【0075】図 5 に示すように、図 2 に示す交流化信号発生回路から生成される交流化信号 (M) では、フレーム信号 (FLM) が入力されたときに、図 4 (b) に示すカウント値が、クロック (CL1) カウンタ 11 にセットされるので、各フレームの先頭から最初に交流化信号 (M) の電圧レベルが反転するまでの間隔は、1 フレ

ーム目では 16 カウント、2 フレーム目では 8 カウント、3 フレーム目では 21 カウント、4 フレーム目では 4 カウント、5 フレーム目では 20 カウントのように、ランダムな間隔となる。

【0076】このように、本発明の実施の形態では、交流化信号 (M) の電圧レベルが反転するタイミングがランダムに移動するので、表示むらが人間の目では認識できなくなり、表示パネルの表示面につらつきが発生することがなくなる。

【0077】図 6、図 7、図 8 は、図 4 (b) に示す方法でランダムカウント値を生成した場合における、図 2 に示す交流化信号発生回路のより具体的な回路構成を示す回路図である。

【0078】図 6、図 7、図 8 で図 2 に示す交流化信号発生回路を構成しており、図 6 の点線枠で囲った部分がフレームパルスカウンタ 10 を構成し、図 6 および図 7 に示す点線枠以外の部分がクロック (CL1) カウンタ 11 を示し、さらに、図 8 に示す回路が交流化信号 (M) 発生部 12 を示す。

【0079】フレーム信号 (FLM)、クロック (CL1)、DISPOFF 信号、および外部カウント値 (D0~D5) は、それぞれ、図 6 あるいは図 7 に示す入力端子 (TFLM)、入力端子 (TCL1)、入力端子 (TDISPOFF) および入力端子 (TD0~TD5) に入力される。

【0080】フレームパルスカウンタ 10 は、図 6 に示すように、5 個の D 形フリップフロップ回路 (DA1~DA5) で構成され、各 D 形フリップフロップ回路 (DA1~DA5) のそれぞれの Q 出力は、インバータ (IV1~IV5) で反転され各 D 形フリップフロップ回路 (DA1~DA5) のデータ入力端子 (D) に入力されるとともに、次段のクロック (トリガー) 入力端子に入力される。

【0081】1 段目の D 形フリップフロップ回路 (DA1) のクロック入力端子には、インバータ (IV6) で反転されたフレーム信号 (FLM) が入力され、また、各 D 形フリップフロップ回路 (DA1~DA5) のリセット端子には、DISPOFF 信号が入力されるので、フレームパルスカウンタ 10 は、DISPOFF 信号が「Low レベル」(以下、「0」と称す)の時に「0」にリセットされ、DISPOFF 信号が「High レベル」(以下、「1」と称す)の時に、フレーム信号 (FLM) の立ち下がりに同期して、フレーム信号をカウントアップする。

【0082】従って、フレームパルスカウンタ 10 は、(0, 0, 0, 0, 0) のカウント値から (1, 1, 1, 1, 1) のカウント値までカウントアップを開始し、また、(1, 1, 1, 1, 1) のカウント値に達した後に、次のフレーム信号が入力されると、(0, 0, 0, 0, 0) のカウント値に変移し、再度 (0, 0,

0, 0, 0) のカウント値から (1, 1, 1, 1, 1) のカウント値までカウントアップを開始する。

【0083】クロック (CL1) カウンタ11は、図7に示すように、6個のD形フリップフロップ回路 (DB1~DB6) で構成され、D形フリップフロップ回路 (DB1) のQ出力はインバータ (IV9) で反転されてデータ入力端子 (D) に入力され、また、各D形フリップフロップ回路 (DB2~DB6) のそれぞれのQ出力は、一致回路 (XO1)、あるいは、前段のD形フリップフロップ回路のQ出力の反転出力が入力されるナンド回路 (ND19~ND22) および一致回路 (XO2~XO5) で、所定の論理を取って各D形フリップフロップ回路 (DB2~DB6) のデータ入力端子 (D) に入力される。

【0084】各D形フリップフロップ回路 (DB1~DB6) のそれぞれQ出力の反転出力がアンド回路 (AD23) に入力され、アンド回路 (AD23) の出力は、図8に示す交流化信号 (M) 生成部12のD形フリップフロップ回路 (DM1) のクロック入力端子に入力される。

【0085】D形フリップフロップ回路 (DM1) のデータ入力端子 (D) には、インバータ (IV12) で反転されたQ出力が入力され、また、そのリセット端子には、DISPOFF信号が入力されるので、D形フリップフロップ回路 (DM1) は、DISPOFF信号が「0」の時に「0」にリセットされ、DISPOFF信号が「1」の時に、アンド回路 (AD23) の出力の立ち上がりに同期して、そのQ出力が交互に「1」または「0」となり、このQ出力が交流化信号 (M) として出力される。

【0086】また、D形フリップフロップ回路 (DM1) のQ出力は、インバータ (IV12) で反転されてD形フリップフロップ回路 (DM2) のデータ入力端子 (D) に入力される。

【0087】ここで、D形フリップフロップ回路 (DM2) のリセット端子には、DISPOFF信号が入力され、さらに、そのクロック入力端子には、クロック (CL1) が入力されるので、D形フリップフロップ回路 (DM2) は、DISPOFF信号が「0」の時に「0」にリセットされ、DISPOFF信号が「1」の時に、クロック (CL1) の立ち下がりに同期して、インバータ (IV12) で反転されたD形フリップフロップ回路 (DM1) のQ出力を取り込み、Q出力として出力する。

【0088】したがって、D形フリップフロップ回路 (DM2) のQ出力からは、交流化信号 (M) と逆相で、クロック (CL1) に同期して、電圧レベルが反転する第2の交流化信号 (MM) が得られる。

【0089】各D形フリップフロップ回路 (DB1~DB6) のクロック入力端子には、インバータ (IV8)

で反転されたクロック (CL1) が入力され、また、そのリセット端子には、それぞれアンド回路 (AD5, AD9, AD13, AD17, AD21, AD22) の出力が入力される。

【0090】ここで、各アンド回路 (AD5, AD9, AD13, AD17, AD21, AD22) の入力の1つにDISPOFF信号が入力されるので、クロック (CL1) カウンタ11は、DISPOFF信号が「0」の時に「0」にリセットされ、DISPOFF信号が「1」の時に、クロック (CL1) の立ち下がりに同期して、クロック (CL1) カウンタ11に設定されたカウント値から (0, 0, 0, 0, 0) のカウント値までカウントダウンする。

【0091】また、クロック (CL1) カウンタ11のカウント値が (0, 0, 0, 0, 0) のカウント値までカウントダウンすると、アンド回路 (AD23) の出力が「1」となり、これにより、図8に示すD形フリップフロップ回路 (DM1) のQ出力の電圧レベルが反転する。

【0092】ここで、アンド回路 (AD23) の出力は、複数のバッファ回路 (BA4) で所定時間遅延され、各ナンド回路 (ND7, ND9, ND11, ND13, ND15, ND17) の一方の入力端子に入力され、また、各ナンド回路 (ND7, ND9, ND11, ND13, ND15, ND17) の他方の入力端子には、それぞれ外部カウント値 (D0~D5) が入力される。

【0093】したがって、アンド回路 (AD23) の出力が「1」となると、各ナンド回路 (ND7, ND9, ND11, ND13, ND15, ND17) から、外部カウント値 (D0~D5) の反転値が出力される。

【0094】さらに、フレーム信号 (FLM) が「0」であるので、アンド回路 (AD1) の出力が「0」、各ナンド回路 (ND1~ND5) の出力が「1」となり、各アンド回路 (AD2, AD6, AD10, AD14, AD18) からは、外部カウント値 (D0~D4) が「1」のときに「0」が出力される。

【0095】また、各オア回路 (OR1, OR3, OR5, OR7, OR9, OR11) の一方の入力端子には、DISPOFF信号の反転信号 (「0」) が入力されるので、各アンド回路 (AD2, AD6, AD10, AD14, AD18) の出力が「0」となると、各オア回路 (OR1, OR3, OR5, OR7, OR9) の出力が「0」となり、各D形フリップフロップ回路 (DB1~DB4) は「1」にセットされる。

【0096】また、外部カウント値 (D5) が「1」のときに、ナンド回路 (ND17) の出力は「0」となるので、オア回路 (OR11) の出力も「0」となり、D形フリップフロップ回路 (DB6) は「1」にセットされる。

【0097】さらに、複数のバッファ回路 (BA4) で所定時間遅延されたアンド回路 (AD23) の出力は、インバータ (IV7) で反転され、各ナンド回路 (ND8, ND10, ND12, ND14, ND16, ND18) の一方の入力端子に入力され、また、各ナンド回路 (ND8, ND10, ND12, ND14, ND16, ND18) の他方の入力端子には、それぞれ外部カウント値 (D0~D5) が入力される。

【0098】ここで、各ナンド回路 (ND8, ND10, ND12, ND14, ND16, ND18) に入力される信号は反転信号であるので、アンド回路 (AD23) の出力が「1」となると、各ナンド回路 (ND8, ND10, ND12, ND14, ND16, ND18) から、外部カウント値 (D0~D5) が出力される。

【0099】さらに、フレーム信号 (FLM) が「0」であるので、各アンド回路 (AD3, AD7, AD11, AD15, AD19) の出力が「1」、各オア回路 (OR2, OR4, OR6, OR8, OR10) の出力が「1」となる。

【0100】したがって、各アンド回路 (AD4, AD8, AD12, AD16, AD20) から、外部カウント値 (D0~D4) が「0」のときに「0」が出力され、各アンド回路 (AD4, AD8, AD12, AD16, AD20) の出力が「0」となると、各アンド回路 (AD5, AD9, AD13, AD17, AD21) の出力が「0」となり、各D形フリップフロップ回路 (DB1~DB5) は「0」にセットされる。

【0101】また、外部カウント値 (D5) が「0」のときに、ナンド回路 (ND18) の出力は「0」となるので、アンド回路 (AD22) の出力も「0」となり、D形フリップフロップ回路 (DB6) は「0」にセットされる。

【0102】このように、クロック (CL1) カウンタ11のカウント値が (0, 0, 0, 0, 0) になると、クロック (CL1) カウンタ11に、外部から入力される外部カウント値 (D0~D5) がセットされる。

【0103】次に、フレーム信号 (FLM) が入力され、フレーム信号 (FLM) が「1」になると、アンド回路 (AD1) は、インバータ (IV6) およびバッファ回路 (BA1) の遅延時間に相当する期間だけ「1」となる。

【0104】これにより、アンド回路 (AD1) の出力が「1」となり、各ナンド回路 (ND1~ND5) から、各D形フリップフロップ回路 (DA1~DA5) の反転出力が出力される。

【0105】この場合に、アンド回路 (AD23) の出力が「0」であるので、各ナンド回路 (ND7~ND18) の出力はすべて「1」となり、各D形フリップフロップ回路 (DA1~DA5) の出力が「1」のときに、各アンド回路 (AD2, AD6, AD10, AD14,

AD18) は「0」を出力し、これにより、各D形フリップフロップ回路 (DB1~DB5) の出力は「1」にセットされる。

【0106】この場合に、各D形フリップフロップ回路 (DA1~DA5) の出力は、図4 (b) に示す方法により、桁が入れ替えられて各アンド回路 (AD2, AD6, AD10, AD14, AD18) の一方の入力端子に入力される。

【0107】また、図4 (b) に示す方法により桁が入れ替えられた各D形フリップフロップ回路 (DA1~DA5) の出力が、各オア回路 (OR2, OR4, OR6, OR8, OR10) の一方の入力端子に入力される。

【0108】この場合に、各アンド回路 (AD3, AD7, AD11, AD15, AD19) が「1」で、各オア回路 (OR2, OR4, OR6, OR8, OR10) が「0」になるのは、各D形フリップフロップ回路 (DA1~DA5) の出力が (0, 0, 0, 0, 0) である場合であるから、それ以外の場合には、各D形フリップフロップ回路 (DA1~DA5) の出力が「0」のときに、各オア回路 (OR2, OR4, OR6, OR8, OR10) の出力は「0」、各アンド回路 (AD4, AD8, AD12, AD16, AD20) の出力も「0」となり、これにより、各D形フリップフロップ回路 (DB1~DB5) の出力は「0」にセットされる。

【0109】また、アンド回路 (AD1) の出力が「1」になると、インバータ (IV10) の出力は「0」となるので、アンド回路 (AD22) の出力も「0」となり、D形フリップフロップ回路 (DB6) の出力は「0」にセットされる。

【0110】このように、フレーム信号 (FLM) が入力されと、図4 (b) に示す方法により桁が入れ替えられたフレームパルスカウンタ10のカウント値 (B0~B4) が、クロック (CL1) カウンタ11にセットされる。

【0111】なお、各D形フリップフロップ回路 (DA1~DA5) の出力が (0, 0, 0, 0, 0) である場合には、前記した如く、各アンド回路 (AD3, AD7, AD11, AD15, AD19) の出力が「1」、各オア回路 (OR2, OR4, OR6, OR8, OR10) の出力も「1」となるので、各D形フリップフロップ回路 (DB1~DB6) には (0, 0, 0, 0, 0) がセットされることはない。

【0112】さらに、各D形フリップフロップ回路 (DA1~DA5) の出力が (1, 1, 1, 1, 1) のときに、ナンド回路 (ND6) の出力は「0」となるので、この場合には、フレーム信号 (FLM) が入力されても、アンド回路 (AND1) の出力が「1」にならないので、各D形フリップフロップ回路 (DB1~DB6) には (1, 1, 1, 1, 1) がセットされることはな

い。

【0113】以上の説明においては、図4(b)に示す方法、即ち、フレームパルスカウンタ10のカウンタ値(A0~A4)を逆転させてランダムなカウンタ値(B0~B4)を得ようとしたが、例えば、図4(c)に示すように、フレームパルスカウンタ10のカウンタ値(A0~A4)の桁を入れ替えてランダムなカウンタ値(B0~B4)を得ることも可能である。

【0114】図4(c)は、図4(a)に示すフレームパルスカウンタ10のA0ビットをB4ビットに、A1

10

ビットをB2ビットに、A2ビットをB3ビットに、A3ビットをB1ビットに、A4ビットをB0ビットに入れ替えたフレームパルスカウンタ10のカウンタ値を示している。

【0115】図9は、図4(c)に示す方法でランダムカウンタ値を生成した場合における、図2に示す交流化信号発生回路のより具体的な回路構成を示す回路図であり、図6に相当する回路図である。

【0116】図9に示す回路は、D形フリップフロップ回路(DA2)の出力が、アンド回路(AND10)と

20

アンド回路(AND12)とに入力され、また、D形フリップフロップ回路(DA3)の出力が、アンド回路(AND14)とアンド回路(AND16)とに入力され、各形フリップフロップ回路(DA2、DA3)のカウンタ値が、各D形フリップフロップ回路(DB3、DB4)にセットされるようになっている。

【0117】なお、本発明の実施の形態においては、図

1に示すランダムカウンタ値生成回路15として、フレームパルスカウンタ10を用いる回路について説明したが、これに限定されるものではなく、ランダムカウン

30

タ値生成回路15として、例えば、図10に示すような回路を用いることも可能である。

【0118】図10は、図1に示すランダムカウンタ値生成回路15の他の回路構成を示す回路図である。

【0119】図10に示す回路は、5個のフリップフロップ回路(FF1~FF5)からなる5ビットのシフトレジスタと、排他的論理和回路(EX-OR)とを組み合わせた回路であり、フリップフロップ回路(FF3)の出力と、フリップフロップ回路(FF5)の出力とを排他的論理和回路(EX-OR)に入力し、排他的論理和回路(EX-OR)の出力をフリップフロップ回路(FF1)帰還するようにしている。

【0120】図11は、図10に示す回路において、フレーム信号(FLM)が順次入力される毎に、その出力端子(Q0~Q4)から出力される出力値を示す図である。

【0121】図11から分かるように、図10に示す回路は、フレーム信号(FLM)が順次入力される毎に、(1, 1, 1, 1, 1)を除いて、(0, 0, 0, 0, 1)から(1, 1, 1, 1, 1)までの出力値を、ほぼ

50

ランダムに出力する。

【0122】従って、図10に示す回路を、本発明の実施の形態のランダムカウンタ値生成回路15に用いることが可能である。

【0123】なお、本発明の実施の形態においては、フレームパルスカウンタ10およびクロック(CL1)カウンタ11として、5桁および6桁のカウンタを用いたが、これに限定されるものではなく、カウンタの桁数は適宜設定可能であることは言うまでもない。

【0124】さらに、フレームパルスカウンタ10のカウンタ値の入れ替え方法も、図4に示す方法に限定されるものではなく、桁を入れ替えた値がほぼランダムとなる方法であればどのような方法でもよいことは言うまでもない。

【0125】以上、本発明者によってなされた発明を、前記発明の実施の形態に基づき具体的に説明したが、本発明は、前記発明の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0126】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0127】(1)本発明によれば、液晶表示装置において、交流化信号の電圧レベルを、各フレーム信号が入力される毎に異なる時間間隔で反転させるようにしたので、交流化信号の電圧レベルが反転するタイミングを各フレーム周期毎に異ならせることが可能となる。

【0128】(2)本発明によれば、交流化信号の電圧レベルを、各フレーム信号が入力される毎にランダムな時間間隔で反転させるようにしたので、交流化信号の電圧レベルが反転するタイミングを各フレーム周期毎にランダムにすることが可能となる。

【0129】(3)本発明によれば、液晶表示装置において、液晶表示パネルの表示面にちらつきが発生することがなくなり、表示制御装置の表示品質を向上されることが可能となる。

【0130】(4)本発明によれば、液晶表示装置において、表示制御装置のデューティ数に応じて、交流化信号の周期を調整する必要がなくなる。

【図面の簡単な説明】

【図1】本発明の実施の形態のSTN方式の単純マトリックス型液晶表示装置における交流化信号生成回路の概略構成を示すブロック図である。

【図2】図1に示すランダムカウンタ値生成回路15を、フレームパルスカウンタ10で構成した交流化信号生成回路の概略構成を示すブロック図である。

【図3】図3は、図2に示す交流化信号生成回路の動作を説明するためのフローチャートである。

【図4】図2に示す交流化信号生成回路において、フレ

ームパルスカウンタ 10 のカウント値の桁を入れ替え、その入れ替えたカウント値をクロック (CL1) カウンタ 11 にセットすることにより、ランダムな間隔が設定できることを説明するための図である。

【図 5】図 4 (b) に示す方法でランダムカウント値を生成した場合における、図 2 に示す交流化信号発生回路から生成される交流化信号 (M) の各フレーム毎の電圧レベルの反転するタイミングを説明するための図である。

【図 6】図 4 (b) に示す方法でランダムカウント値を生成した場合における、図 2 に示す交流化信号発生回路のより具体的な回路構成を示す回路図である。

【図 7】図 4 (b) に示す方法でランダムカウント値を生成した場合における、図 2 に示す交流化信号発生回路のより具体的な回路構成を示す回路図である。

【図 8】図 4 (b) に示す方法でランダムカウント値を生成した場合における、図 2 に示す交流化信号発生回路のより具体的な回路構成を示す回路図である。

【図 9】図 4 (c) に示す方法でランダムカウント値を生成した場合における、図 2 に示す交流化信号発生回路のより具体的な回路構成を示す回路図であり、図 6 に相当する回路図である。

【図 10】図 1 に示すランダムカウント値生成回路 15 の他の回路構成を示す回路図である。

【図 11】図 10 に示す回路において、フレーム信号 (FLM) が順次入力される毎に、その出力端子 (Q0 ~ Q4) から出力される出力値を示す図である。

【図 12】従来の STN 方式の単純マトリックス型液晶

表示装置の概略構成を示すブロック図である。

【図 13】図 12 に示す従来の STN 方式の単純マトリックス型液晶表示装置のセグメント電極に印加されるデータ信号線駆動電圧、および、コモン電極に印加される走査信号線駆動電圧を説明するための図である。

【図 14】表示制御装置から、各セグメントドライバおよび各コモンドライバに送出される表示用データ、および、表示制御信号のタイミングチャートを示す図である。

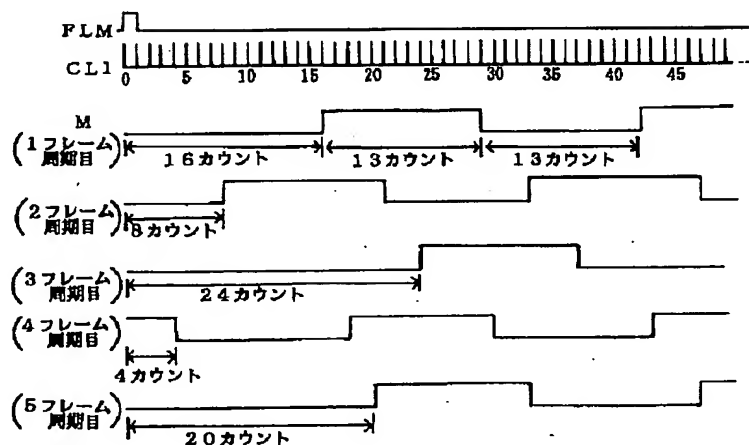
【図 15】デューティ数が 240、交流化信号 (M) の電圧レベルが反転するクロック (CL1) のカウント数が 13 である時の、各フレーム毎の、交流化信号 (M) の電圧レベルが反転するタイミングを説明するための図である。

【符号の説明】

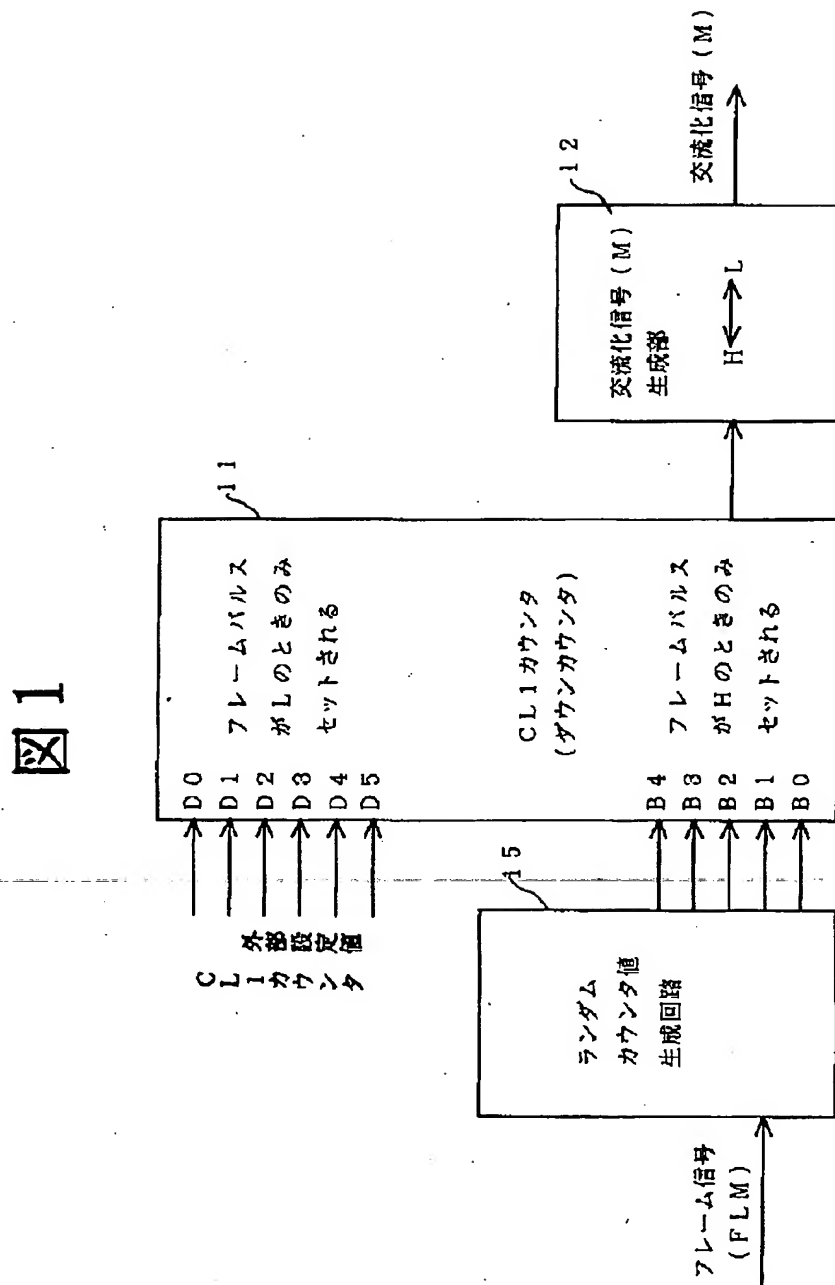
10…フレームパルスカウンタ、11…クロック (CL1) カウンタ、12…交流化信号生成部、15…ランダムカウント値生成回路、101…表示制御装置、102…電源回路、LCD…液晶表示パネル、IC-U1 ~ IC-Un, IC-L1 ~ IC-Ln…ドレインドライバ、IC-C1 ~ IC-C5…コモンドライバ、DA1 ~ DA5, DB1 ~ DB6, DM1, DM2, F1 ~ F5…フリップフロップ回路、IV1 ~ IV13…インバータ、AD1 ~ AD23…アンド回路、ND1 ~ ND22…ナンド回路、EX-OR…排他的論理和回路、XO1 ~ XO5…一致回路、OR1 ~ OR11…オア回路、BA1 ~ BA4…バッファ回路。

【図 5】

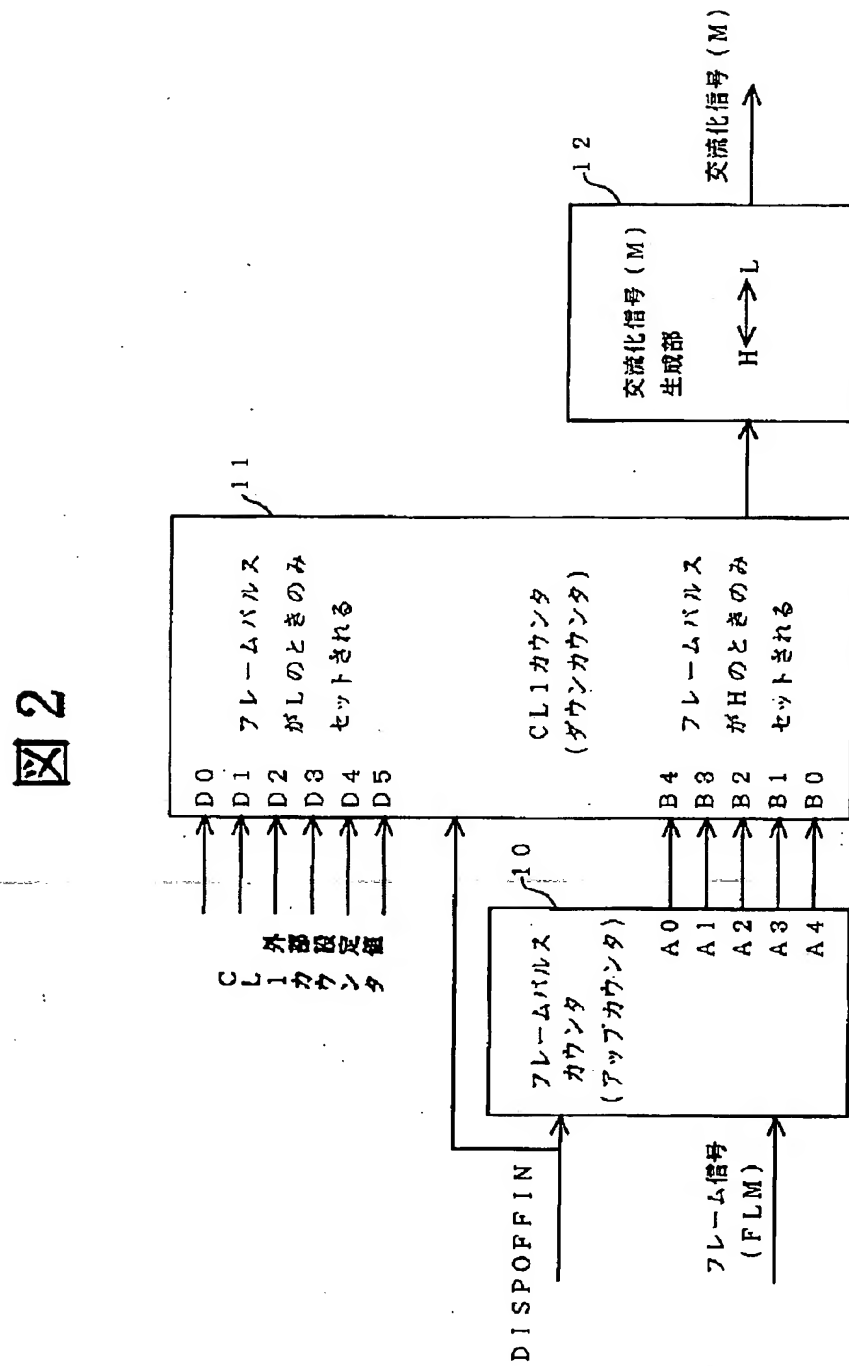
図 5



【図1】

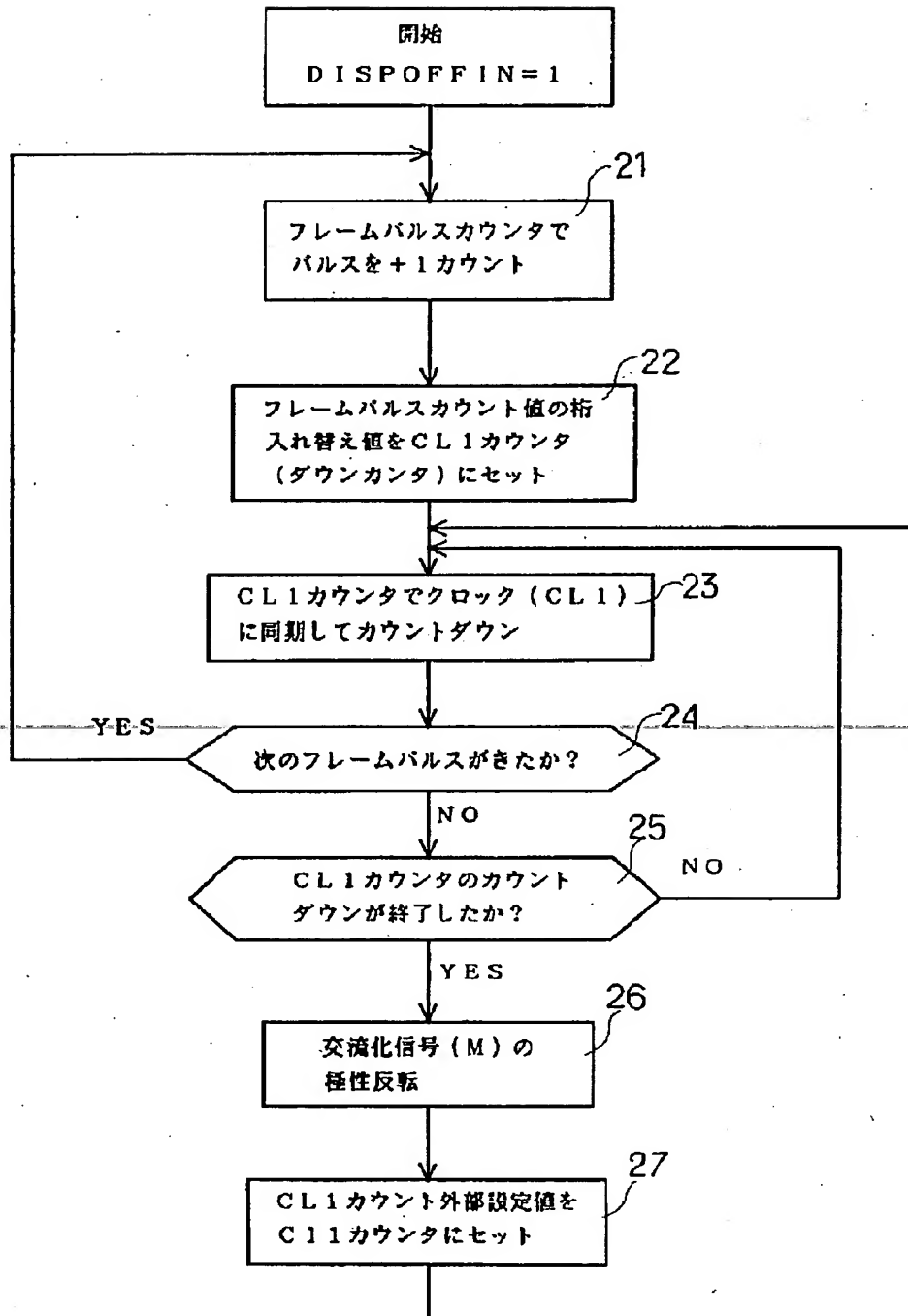


【図2】



【図 3】

図 3



【図 4】

図 4

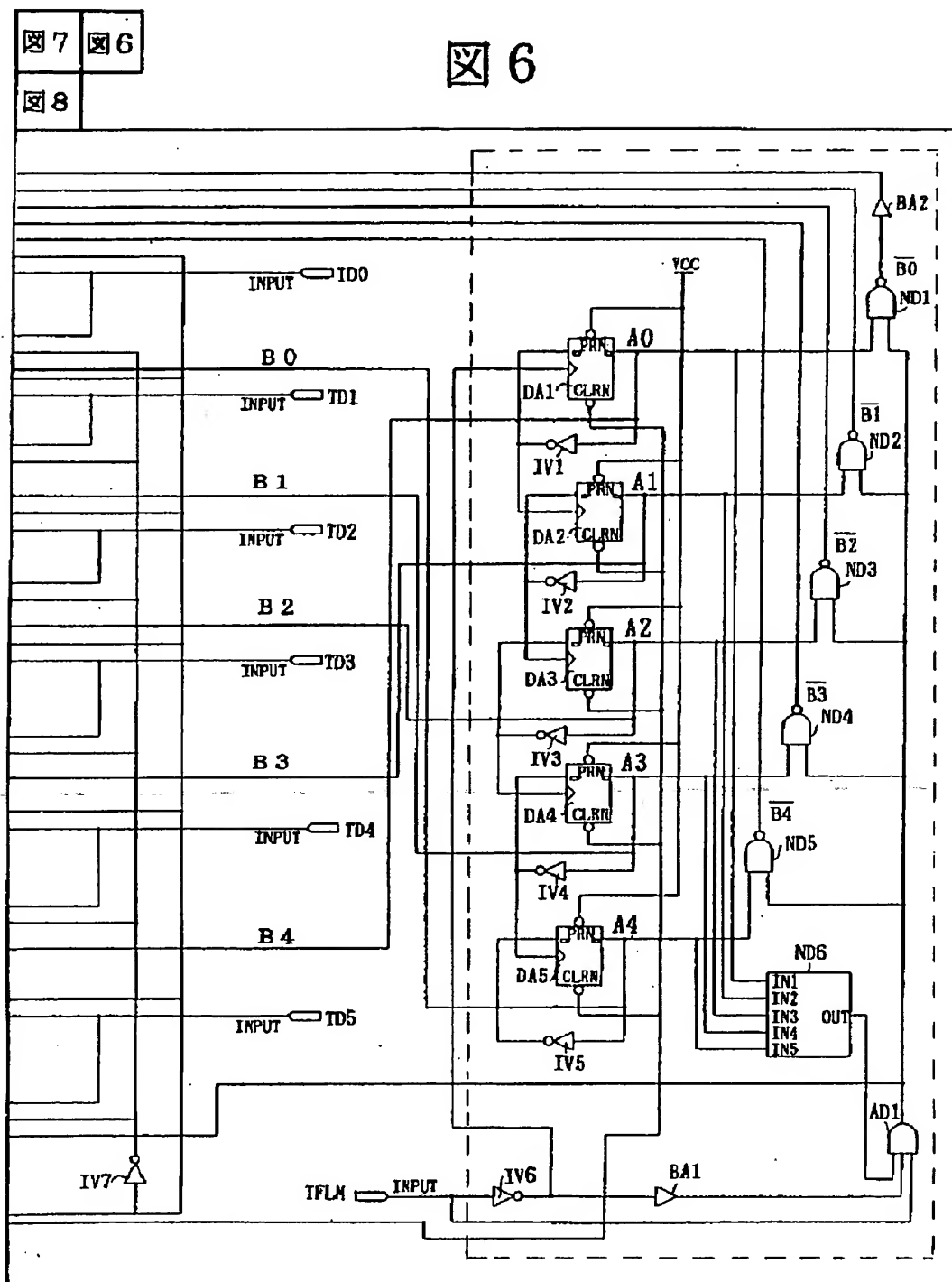
桁の入れ替えなし										桁の入れ替え 例1										桁の入れ替え 例2									
2進										2進										2進									
A4	A3	A2	A1	A0	B4	B3	B2	B1	B0	B4	B3	B2	B1	B0	B4	B3	B2	B1	B0	10進	10進	10進							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	16	16							
0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	8	8							
0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	24	24							
0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	4	4							
0	0	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	20	20							
0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	12	12							
0	0	0	1	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	28	28							
0	0	1	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0	1	0	0	2	2							
0	0	1	0	0	0	0	1	0	0	0	0	1	1	0	0	0	0	1	1	0	18	18							
0	0	1	0	1	0	0	0	1	0	0	0	1	1	0	0	0	1	1	0	0	10	10							
0	0	1	0	1	0	1	0	0	0	0	0	1	1	0	0	0	1	1	0	0	26	26							
0	0	1	1	0	0	0	1	1	0	0	0	1	1	0	0	0	1	1	0	0	22	22							
0	0	1	1	0	1	0	0	1	0	0	0	1	1	0	0	0	1	1	0	0	14	14							
0	0	1	1	1	0	0	1	1	0	0	0	1	1	0	0	0	1	1	0	0	30	30							
0	0	1	1	1	0	1	0	0	0	0	0	1	1	0	0	0	1	1	0	0	1	1							
0	0	1	1	1	0	1	0	0	0	0	0	1	1	0	0	0	1	1	0	0	17	17							
0	0	1	1	1	0	1	0	0	0	0	0	1	1	0	0	0	1	1	0	0	9	9							
0	0	1	1	1	0	1	0	0	0	0	0	1	1	0	0	0	1	1	0	0	25	25							
0	0	1	1	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	0	0	5	5							
0	0	1	1	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	0	0	21	21							
0	0	1	1	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	0	0	13	13							
0	0	1	1	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	0	0	29	29							
0	0	1	1	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	0	0	3	3							
0	0	1	1	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	0	0	19	19							
0	0	1	1	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	0	0	7	7							
0	0	1	1	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	0	0	23	23							
0	0	1	1	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	0	0	11	11							
0	0	1	1	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	0	0	27	27							
0	0	1	1	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	0	0	7	7							
0	0	1	1	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	0	0	23	23							
0	0	1	1	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	0	0	15	15							
0	0	1	1	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	0	0	31	31							

(a)

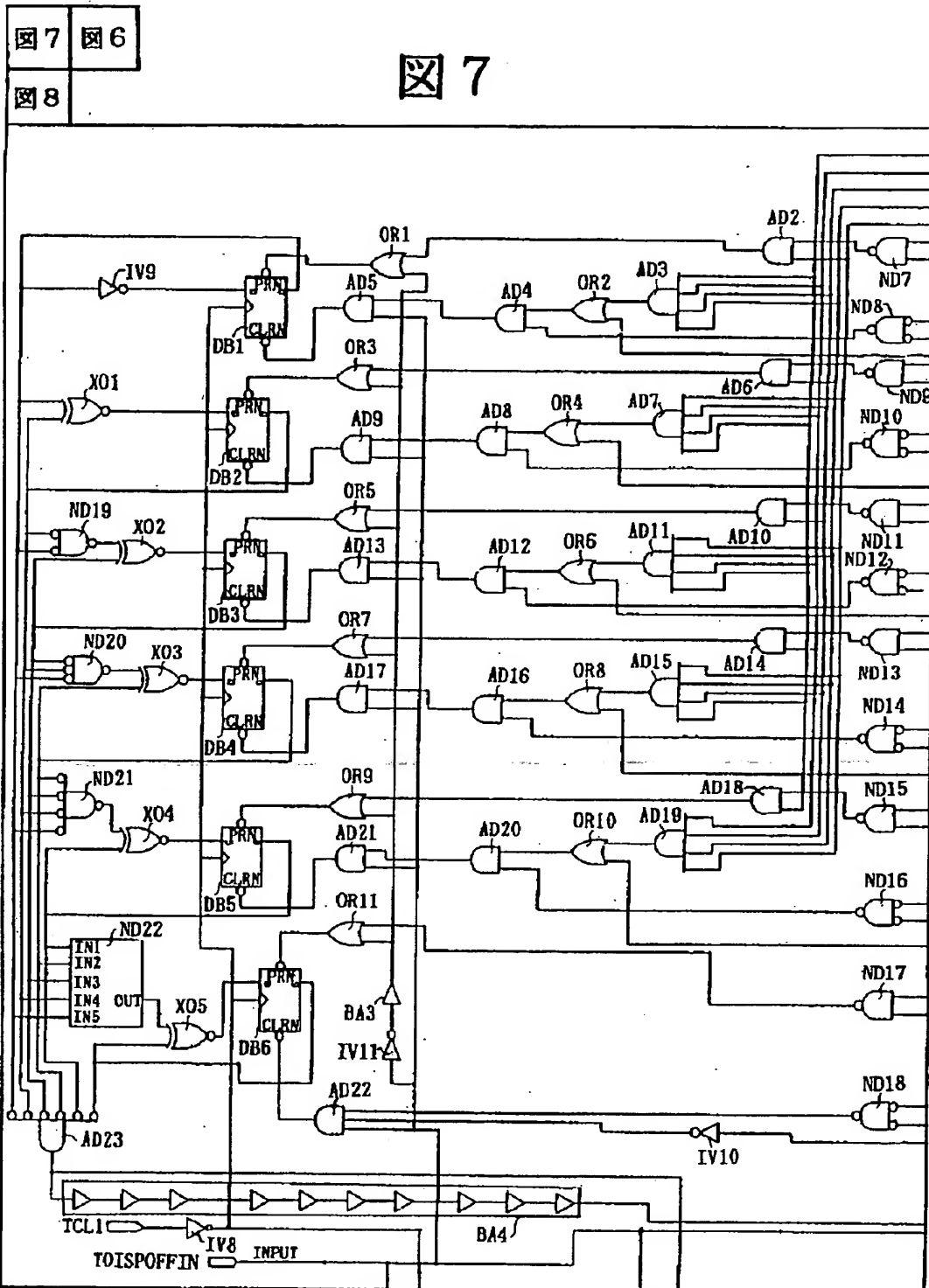
(b)

(c)

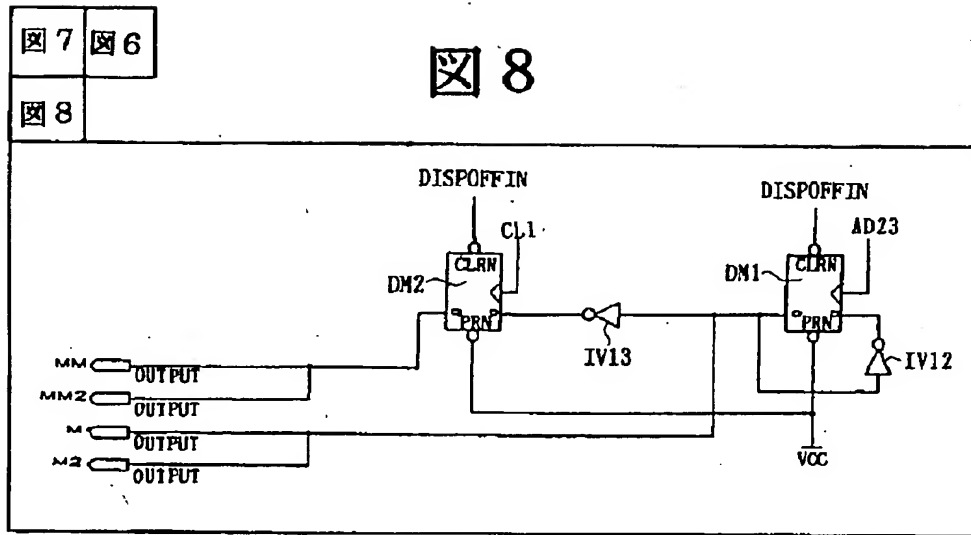
【図 6】



【 図 7 】

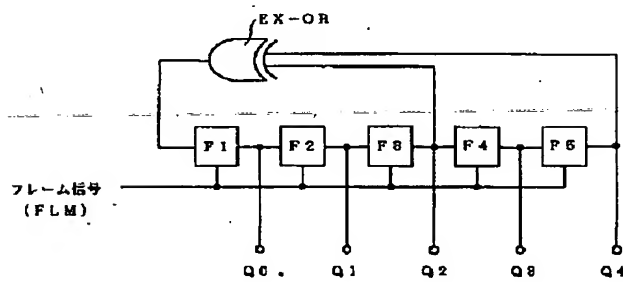


【図 8】



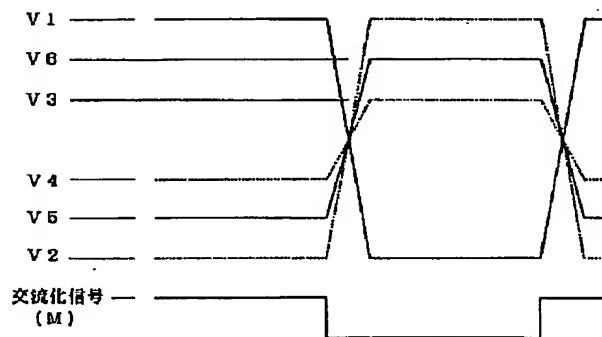
【図 10】

図 10



【図 13】

図 13

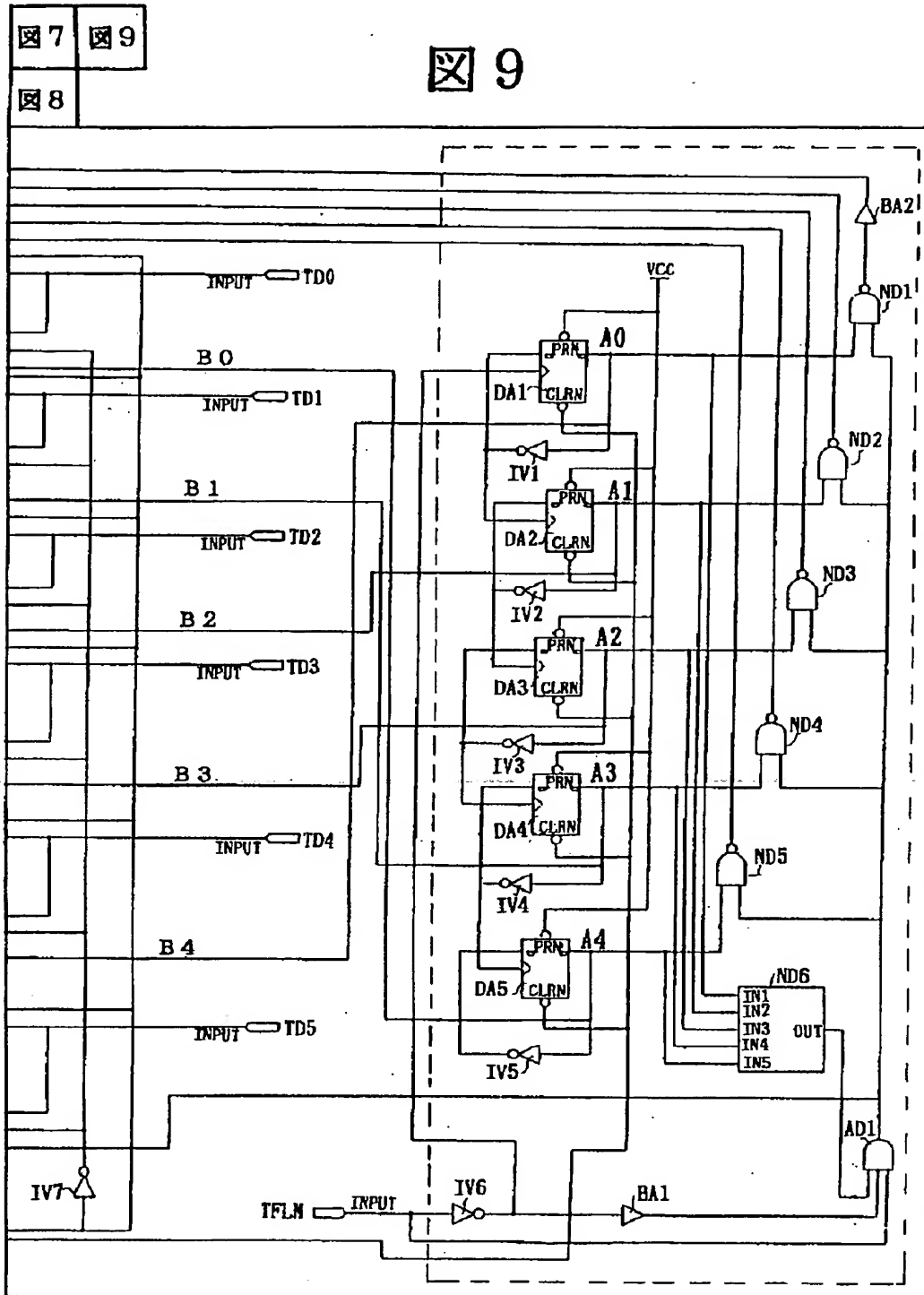


【図 11】

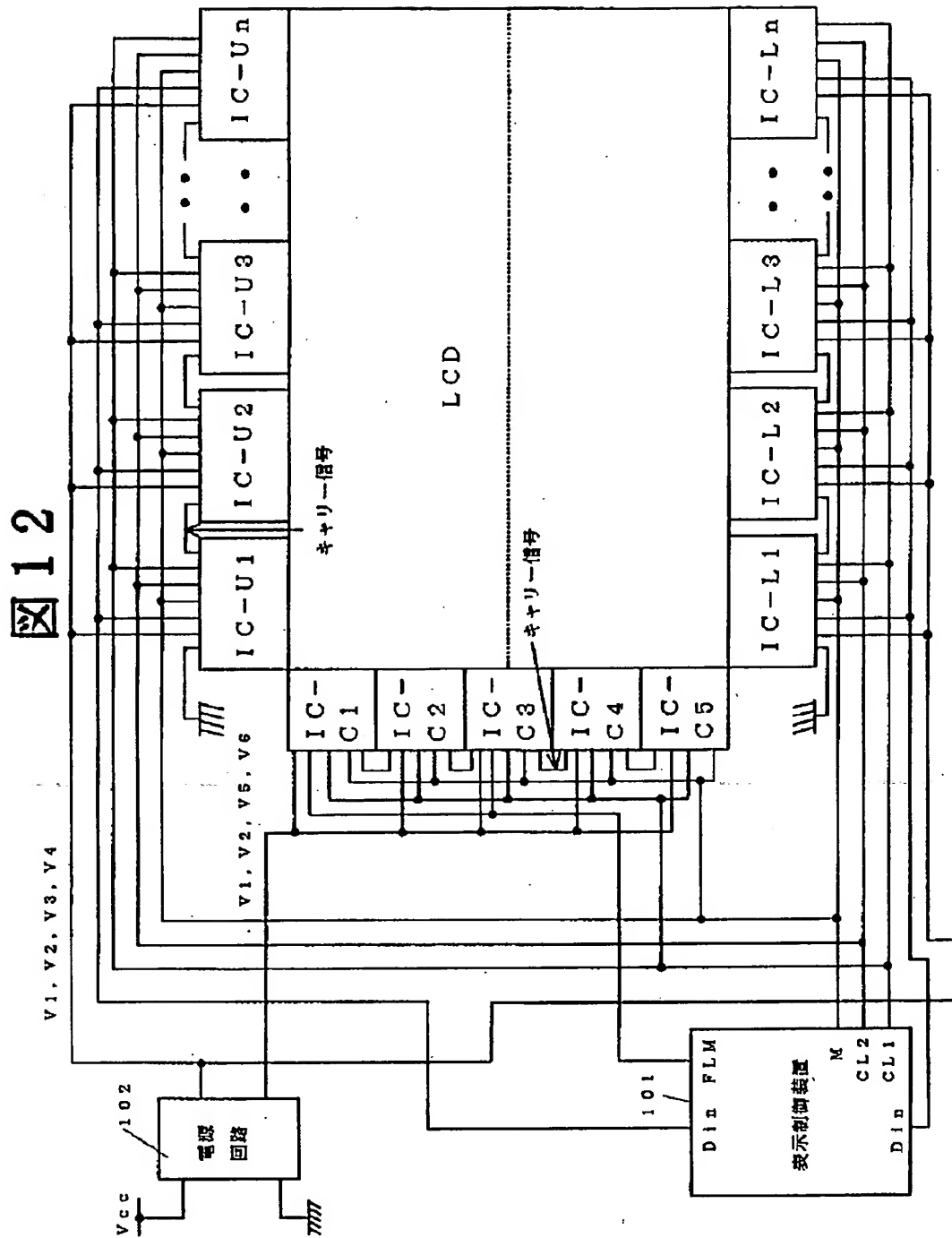
図 11

時刻	2 進数					10 進数
	Q4	Q3	Q2	Q1	Q0	
0	1	1	1	1	1	31
1	1	1	1	1	0	30
2	1	1	1	0	0	28
3	1	1	0	0	0	24
4	1	0	0	0	1	17
5	0	0	0	1	1	3
6	0	0	1	1	0	6
7	0	1	1	0	1	13
8	1	1	0	1	1	27
9	1	0	1	1	1	23
10	0	1	1	1	0	14
11	1	1	1	0	1	29
12	1	1	0	1	0	26
13	1	0	1	0	1	21
14	0	1	0	1	0	10
15	1	0	1	0	0	20
16	0	1	0	0	0	8
17	1	0	0	0	0	16
18	0	0	0	0	1	1
19	0	0	0	1	0	2
20	0	0	1	0	0	4
21	0	1	0	0	1	9
22	1	0	0	1	0	18
23	0	0	1	0	1	5
24	0	1	0	1	1	11
25	1	0	1	1	0	22
26	0	1	1	0	0	12
27	1	1	0	0	1	25
28	1	0	0	1	1	19
29	0	0	1	1	1	7
30	0	1	1	1	1	16
31	1	1	1	1	1	31

【図 9】

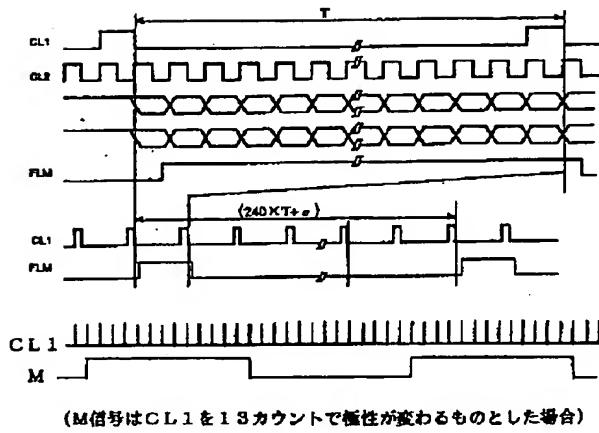


【図12】



【図14】

図14



【図15】

図15

